

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 7 月 2 8 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 2 1 3 1 2 3 号

出 願 人

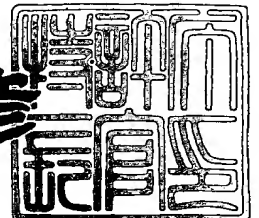
Applicant (s):

ローム株式会社

2 0 0 0 年 5 月 1 2 日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 3 4 0 6 4

【書類名】 特許願

【整理番号】 11P033

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社
社内

【氏名】 平賀 則秋

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100106345

【弁理士】

【氏名又は名称】 佐藤 香

【手数料の表示】

【予納台帳番号】 052755

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718264

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

電源ラインの異なる複数組の入出力回路および内部回路と、外部接続端子から前記複数組のうち何れか一の組における入出力回路を経てこれと同じ組の内部回路に至る信号配線と、この信号配線から分岐して前記複数組のうち何れか他の組における入出力回路を経てこれと同じ組の内部回路に至る分岐配線と、前記一の組の入出力回路において前記信号配線に対して設けられた第 1 保護回路と、前記他の組の入出力回路において前記分岐配線に対して設けられた第 2 保護回路と、前記他の組の内部回路において前記分岐配線に対して設けられた第 3 保護回路とを備えた半導体集積回路装置。

【請求項 2】

該当入出力回路又は該当内部回路の電源ラインには接続されているが何れの信号配線からも切り離されている能動素子が前記第 1, 第 2, 第 3 保護回路の何れかに含まれている請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記第 3 保護回路に複数個の保護素子が含まれており、これらの保護素子が保護対象の素子を挟むよう又は囲むように配置されている、請求項 1 又は請求項 2 に記載された半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、電源電圧を異にする複数組の入出力回路および内部回路に加えてそのような幾つかの内部回路で同じ外部信号を入力等するために信号配線および分岐配線も設けられている半導体集積回路装置に関し、詳しくは、そのような内部回路において能動素子からなる入力素子等を静電気の放電等による破壊から保護する技術に関する。

そのような半導体集積回路装置としては、多機能の L S I (大規模集積回路装

置) や、デジタル・アナログ混在 L S I、マルチ電源のデジタル L S I などが挙げられる。

【0 0 0 2】

【従来の技術】

素子数の多い半導体集積回路装置では、周辺部から中央部へ順に外部接続端子と入出力回路と内部回路とが配置されるとともに、外部接続端子から内部回路に至る信号配線に対しては内部素子等の保護のために途中の入出力回路においてその信号配線と電源ラインとに接続された一対の又は一組のダイオードやトランジスタ等の整流素子からなる第 1 保護回路が設けられていた。

また、電源電圧を異にする複数組の入出力回路および内部回路を持った半導体集積回路装置では、静電破壊に対する対策として、上述の第 1 保護回路に加えて、信号配線やその分岐配線にて繋がれている内部回路間にブロック間保護回路を付設することも行われてきた。かかるブロック間保護回路は、抵抗や、整流素子、ツェナーダイオード又は類似機能のトランジスタなどで構成され、供給される電源電圧の異なる電源ラインに対しても接続される。

そして、内部回路の微細化等に伴い内部素子の耐圧が弱くなると、内部素子よりは個数の少ない入力保護回路を大きくしたり、ブロック間保護回路を増やしたり更には大きくしたりして、静電破壊からの保護を強化していた。

【0 0 0 3】

【発明が解決しようとする課題】

しかしながら、内部回路の微細化や高速化の進展により、ゲート耐圧等の内部素子自体の耐力が低下し、そのうえ、内部回路内でも局所的な電位差の緩和が間に合わなくなったり、同じ組の電源ライン間でのサージノイズ伝搬の遅速も無視できなくなってきた。このため、上述の従来手法を繰り返すだけでは十分な保護が得られない。特に、第 1 保護回路付きの信号配線から分岐して電源ラインの異なる他の内部回路に至る分岐配線に関しては、第 1 保護回路による副次的な保護では足りなくなってきた。そこで、かかる信号配線および分岐配線を持った半導体集積回路装置について、静電破壊からの内部回路保護を強化する必要がある。

この発明は、このような課題を解決するためになされたものであり、静電破壊

に強い半導体集積回路装置を実現することを目的とする。

【0004】

【課題を解決するための手段】

このような課題を解決するために、請求項1の半導体集積回路装置にあっては、外部接続端子から電源ラインの異なる複数組の入出力回路および内部回路のうち何れか一の組における入出力回路を経てこれと同じ組の内部回路に至る信号配線に対しては前記一の組の入出力回路において第1保護回路を設けて前記一の組の内部回路を静電破壊から保護することに加えて、この信号配線から分岐して前記複数組のうち何れか他の組における内部回路に至る分岐配線に関しては、前記分岐配線が前記他の組の内部回路に至る前にそれと同じ組の入出力回路を経るようにしたうえでそこに第2保護回路を設けるとともに、前記他の組の内部回路にも第3保護回路を設けて、前記他の組の内部回路が静電破壊から多段に保護されるようになっている。

【0005】

また、請求項2のものは、上記の半導体集積回路装置であるが、前記第1、第2、第3保護回路のうちそれに含まれている一部または全部の保護素子を電源電圧の相違等のため前記信号配線や前記分岐配線などに直接接続するのが困難なところには、該当入出力回路又は該当内部回路の電源ラインには接続されているが何れの信号配線からも切り離されている能動素子が導入されていて、これが保護素子として働くようになっている。

【0006】

さらに、請求項3のものは、上記の半導体集積回路装置であって、前記第3保護回路の保護対象の素子が、これを挟むよう又は囲むように配置された複数個の保護素子によって、周りから保護されるようになっている。

【0007】

【発明の実施の形態】

本発明の半導体集積回路装置1の具体的構成例を図1～図3により説明する。これは（図1参照）、COMS構造の大規模集積回路をワンチップに形成したものであり、周辺部から中央部へ順にボンディングパッド等の外部接続端子2と外

部信号入出力回路と内部回路とが配置されるが、左右に分かれた内部回路 4 A と内部回路 4 B とで供給される電源電圧が異なり例えば 5 V 対 3 V となっているため、入出力回路 3 A と入出力回路 3 B も左右に分かれていて、入出力回路 3 A 及び内部回路 4 A の組には一对の電源ライン 8 A, 9 A が引き回される一方、入出力回路 3 B と内部回路 4 B との組には別の一对の電源ライン 8 B, 9 B が引き回されている。

【 0 0 0 8 】

多数の外部接続端子 2 も左右に分かれて各組に割り当てられ、そのうちの高電源用端子 5 A には電源ライン 8 A が接続され、接地用端子 6 A には電源ライン 9 A が接続され、低電源用端子 5 B には電源ライン 8 B が接続され、接地用端子 6 B には電源ライン 9 B が接続されている。また、他の外部接続端子 2 は、それぞれ、適宜の外部信号入出力用に割り当てられ、入出力回路を経てこれと同じ組の内部回路に至る信号配線に接続される。例えば、入出力用端子 7 A に接続された信号配線 1 4 A は入出力回路 3 A を経てからこれと同じ組の内部回路 4 A 内の内部素子 1 1 A に至る。また、入出力用端子 7 B に接続された信号配線 1 4 B は入出力回路 3 B を経てからこれと同じ組の内部回路 4 B 内の内部素子 1 1 B に至るようになっている。

【 0 0 0 9 】

信号配線 1 4 A に対しては、入出力回路 3 A において第 1 保護回路 3 A A が設けられるとともに、そこから分岐配線 1 5 B が分岐している。この分岐配線 1 5 B は、分岐後、入出力回路 3 A 及び内部回路 4 A の組から離れて延び、一旦、他の組における入出力回路 3 B を経てから、最終的には、これと同じ組の内部回路 4 B に至り、そこで入力素子 1 2 B に接続されている。この分岐配線 1 5 B に対し、入出力回路 3 B においては第 2 保護回路 1 3 B が設けられるとともに、内部回路 4 B においては入力素子 1 2 B のところに第 3 保護回路 2 3 ~ 2 6 が設けられる。

【 0 0 1 0 】

同様に、信号配線 1 4 B に対しては入出力回路 3 B において第 1 保護回路 3 B B が設けられ、その分岐配線 1 5 A は、その入出力回路 3 B 及び内部回路 4 B の

組から離れ、他の組における入出力回路 3 A を経てから同じ組の内部回路 4 A に至って入力素子 1 2 A に接続されている。この分岐配線 1 5 A に対しては、入出力回路 3 A において第 2 保護回路 1 3 B が設けられ、内部回路 4 A において入力素子 1 2 A のところに第 3 保護回路 3 3 ~ 3 6 が設けられている。

【 0 0 1 1 】

第 1 保護回路 3 A A は（図 3 参照）、カソードが電源ライン 8 A に接続されアノードが信号配線 1 4 A に接続されたダイオード D 1 と、カソードが信号配線 1 4 A に接続されアノードが電源ライン 9 A に接続されたダイオード D 2 と、ソース及びゲートが電源ライン 8 A に接続されドレインが電源ライン 9 A に接続された p M O S トランジスタである第 1 能動素子 2 1 とを、近接した状態で、具えている。第 1 保護回路 3 B B も、電源ライン 8 B, 9 B 及び信号配線 1 4 B に対してそれぞれ同様に接続された同様のダイオード D 4, D 5 及び第 1 能動素子 3 1 を近接状態で具えている。

【 0 0 1 2 】

また、第 2 保護回路 1 3 A は、カソードが電源ライン 8 A に接続されアノードが分岐配線 1 5 A に接続されたダイオード D 6 と、カソードが分岐配線 1 5 A に接続されアノードが電源ライン 9 A に接続されたダイオード D 7 と、ソース及びゲートが電源ライン 8 A に接続されドレインが電源ライン 9 A に接続された p M O S トランジスタである第 2 能動素子 3 2 とを、近接状態で、具えている。第 2 保護回路 1 3 B も、電源ライン 8 B, 9 B 及び分岐配線 1 5 B に対してそれぞれ同様に接続された同様のダイオード D 3 及び第 2 能動素子 2 2 を近接状態で具えているが、通常動作状態で分岐配線 1 5 B の電圧が電源ライン 8 B の電圧より高くなる可能性があるため、それらの間にはダイオードが設けられていない。

【 0 0 1 3 】

さらに、入力素子 1 2 A は、ドレインが互いに接続された一対のトランジスタ 1 2 A P, 1 2 A N からなり、そのトランジスタ 1 2 A P のソースは電源ライン 8 A に接続されトランジスタ 1 2 A N のソースは電源ライン 9 A に接続され何れのゲートも分岐配線 1 5 A に接続されている。そして、この入力素子 1 2 A に対する第 3 保護回路 3 3 ~ 3 6 には、ソース及びゲートが電源ライン 8 A に接続さ

れドレインが分岐配線 1 5 A に接続された p M O S トランジスタである第 3 能動素子 3 3, 3 5 に加えて、ソース及びゲートが電源ライン 9 A に接続されドレインが分岐配線 1 5 A に接続された n M O S トランジスタである第 3 能動素子 3 3, 3 5 も設けられている。

【 0 0 1 4 】

また、入力素子 1 2 B も、電源ライン 8 B, 9 B 及び分岐配線 1 5 B に対してそれぞれ同様に接続された同様のトランジスタ対 1 2 B P, 1 2 B N からなり、この入力素子 1 2 B に対する第 3 保護回路 2 3 ~ 2 6 にも 4 個の第 3 能動素子 3 3, 3 4, 3 5, 3 6, 3 7 が設けられるが、n M O S トランジスタからなる第 3 能動素子 2 4, 2 6 は、第 3 能動素子 3 4, 3 6 同様にソース及びゲートが電源ライン 9 B に接続されドレインが分岐配線 1 5 B に接続されるのに対し、p M O S トランジスタからなる第 3 能動素子 2 3, 2 5 は、第 3 能動素子 3 3, 3 5 と異なり、通常動作状態での導通を回避するために、ドレインが分岐配線 1 5 B で無く他の信号配線でも無く電源ライン 9 B に接続される。ソース及びゲートは電源ライン 8 B に接続されている。

【 0 0 1 5 】

このように、第 1 保護回路 3 A A, 3 B B に含まれている第 1 能動素子 2 1, 3 1 と、第 2 保護回路 1 3 A, 1 3 B に含まれている第 2 能動素子 2 2, 3 2 と、第 3 保護回路 2 3 ~ 2 6 に含まれている第 3 能動素子のうち p M O S トランジスタ 2 3, 2 5 は、何れも、該当入出力回路又は該当内部回路の電源ラインには接続されているが、分岐配線 1 5 A, 1 5 B を含めて何れの信号配線にも接続されないで切り離された状態のものとなっている。

【 0 0 1 6 】

さらに、第 3 保護回路に含まれている複数個の保護素子にて保護対象の素子を両側から挟むようにするため、入力素子 1 2 B の近傍では、トランジスタ 1 2 B P の左側にトランジスタ 2 3 を配置し右側にトランジスタ 2 5 を配置するとともに、トランジスタ 1 2 B N の左側にはトランジスタ 2 4 を配置し右側にはトランジスタ 2 6 を配置する。同様に、入力素子 1 2 A の近傍では、トランジスタ 1 2 A P の左側にトランジスタ 3 5 を配置し右側にトランジスタ 3 3 を配置するとと

もに、トランジスタ 1 2 A N の左側にはトランジスタ 3 6 を配置し右側にはトランジスタ 3 4 を配置する。

【 0 0 1 7 】

このような回路をシリコンウエハ等に作り込むには、通常、各チップ毎に割り当てた内部回路 4 A, 4 B の領域内に、能動素子用の微細な基本セルを縦横に等ピッチで繰り返し並べて配置する。そうすることで、半導体プロセスの前工程の途中までは、能動素子用の基本セルが同一構造又は同様構造で規則的に配置された汎用性の高いウエハにしておく一方、アプリケーションに基づいて具体的に能動素子の割り付け等が決まると適宜のメタル配線等を行うことで種々の要求に対して迅速に応えられるからであるが、その際、基本セルとして次のようなものが用いられる。

【 0 0 1 8 】

例えば CMOS の基本セルは (図 2 参照)、n MOS 用セルと p MOS 用セルとからなり、n MOS 用セルは、p 型サブストレート (p - S u b) に列島状に点在させられ、それぞれに n 型半導体領域・ゲート酸化膜領域・n 型半導体領域が形成されれば足りるが、図示のように n 型半導体領域・ゲート酸化膜領域・n 型半導体領域・ゲート酸化膜領域・n 型半導体領域を形成しておき、中央の n 型半導体領域を共用することで 2 個の n MOS トランジスタを作り込めるようにすることも多い。また、p MOS 用セルは、n 型ウェル領域 (n - W e l l) にやはり列島状に点在させられて、n MOS 用セルと一対一対応が採れるように配設されるのが、それぞれ、n MOS 用セルにおける n 型半導体領域を p 型半導体領域に置き換えたものとなっている。

【 0 0 1 9 】

そして、各基本セルのゲート酸化膜領域上にはゲート及びその引出部となる金属等の孤立パターンが個々に形成され、さらに、適宜の絶縁層等を介在させた上から、金属層等の導電体層のパターン形成によって、内部回路 4 A の一連の p MOS 用基本セル上には電源ライン 8 A が形成され、内部回路 4 A の一連の n MOS 用基本セル上には電源ライン 9 A が形成され、内部回路 4 B の一連の p MOS 用基本セル上には電源ライン 8 B が形成され、内部回路 4 B の一連の n MOS 用

基本セル上には電源ライン 9 B が形成される。

【0 0 2 0】

それから、具体的に能動素子の割り付けが決まると、例えば内部回路 4 B において隣接する基本セルに対して一对のトランジスタ 1 2 A P, 1 2 A N が割り付けられると、それぞれの左隣の基本セルに対して第 3 能動素子 2 3, 2 4 が割り付けられるとともに、それぞれの右隣の基本セルに対して第 3 能動素子 2 5, 2 6 が割り付けられ、それらに付随する必要な配線もほぼ一義的に定まる。すなわち、該当する各基本セルではセル中央に V I A ホール等のコンタクトホール（図中の黒丸を参照）を形成することで、トランジスタ 1 2 B P, 1 2 B N, 及び第 3 能動素子 2 3, 2 4, 2 5, 2 6 のソースがそれぞれ電源ライン 8 B, 9 B に接続される。また、各トランジスタのドレイン及びゲートは、メタル配線（図中の太線を参照）によって、上述したような接続が確立される。

【0 0 2 1】

このような構成の半導体集積回路装置の場合、M O S トランジスタ 2 1, 2 2, 2 3, 2 5, 3 1, 3 2 は、電源ライン対 8 A + 9 A, 8 B + 9 B 間に接続されているが、ソースとゲートとが接続されているので、通常の動作状態では、導通することが無く、電源電圧に対してばかりか、入力素子 1 2 A, 1 2 B の動作にも影響することが無い。M O S トランジスタ 2 4, 2 6, 3 3, 3 4, 3 5, 3 6 も、ドレインの接続先こそ分岐配線 1 5 A, 1 5 B になっているが、同様に、通常の動作状態では導通せず電源電圧や入力素子等の適正動作を妨げ無い。

【0 0 2 2】

もっとも、それらは、能動素子であるから、p n 接合等の能動領域には微小ではあるが寄生キャパシタンスを持っており、瞬間的なノイズ等は双方向に流すことが或る程度までは可能である。さらに、この例の基本セルに設けられた能動素子の場合（例えば図 2 (b) の p M O S トランジスタ 2 5 を参照）、ドレインが異常に負側へ振れようとする導通して働き出す寄生ダイオード (2 5 d) や、ドレインが異常に大きく正側へ跳ねたときに導通して働き出す寄生トランジスタ (2 5 t) の存在も認められる。

そして、通常の動作状態では有り得ない瞬時的なノイズが印加されたり、ソー

ス・ドレイン間の電圧が逆転したり異常に離れたりすると、導通する。

【 0 0 2 3 】

また、ダイオード D 1 ～ D 7 も、電源ライン 8 B と分岐配線 1 5 B との間からは除外されているので、やはり通常の動作状態では電源電圧や入力素子等の適正動作を妨げ無い。

そして、これらも、接続先の電源電圧が逆転したり、信号電圧と電源電圧とが逆転したりすると、導通する。

【 0 0 2 4 】

そのため、例えば入出力用端子 7 A から入った E S D サージ (ElectroStatic Discharge ; 静電放電) は、先ず、第 1 保護回路 3 A A において、ダイオード D 1 , D 2 の導通により電源ライン 8 A , 9 A に逃がされるが、その際、一方の電源ラインに多く流れて片寄りが生じると第 1 能動素子 2 1 も導通して電源ライン 8 A , 9 A 間でも一様になるよう分散され、減衰する。次に、分岐配線 1 5 B を伝って第 2 保護回路 1 3 B に至ると、ダイオード D 3 の導通により電源ライン 9 B に逃がされるとともに、第 2 能動素子 2 2 の導通により電源ライン 8 B にも分散されて、ここでも減衰する。

【 0 0 2 5 】

それでも残った E S D サージは、分岐配線 1 5 B を更に伝って入力素子 1 2 B のところに至るが、そこでも、第 3 能動素子 2 4 , 2 6 によって電源ライン 9 B に逃がされるとともに、第 3 能動素子 2 3 , 2 5 の導通により電源ライン 8 B にも分散されて、さらに減衰する。しかも、それが直ちにトランジスタ 1 2 B P , 1 2 B N のソースにも両側から伝搬することから、分岐配線 1 5 B そしてトランジスタ 1 2 B P , 1 2 B N のゲート電位が大きく変化すると、それらのソース電位も速やかに追従するかの如く同じ方に或る程度変化するので、それらのゲート・ソース間電位差の拮がりは、一層抑制される。

【 0 0 2 6 】

こうして、電源系統の相違した入出力回路 3 A を経てから入って来るため保護し難かった入力素子 1 2 B も、静電破壊から確実に保護されることとなる。

なお、概ね同様にして、入力素子 1 2 A も、多段の第 1 保護回路 3 B B と第 2

保護回路 1 3 A と第 3 保護回路 3 3 ~ 3 6 とによって入出力用端子 7 B 経由の E S D サージから保護されるが、こちらの方は、ダイオード D 6 の存在や、第 3 能動素子 3 3, 3 6 のドレイン接続先の相違等により、分岐配線 1 5 A と電源ライン 8 A との電圧逆転が直接的に緩和されるので、より確実に保護される。

【 0 0 2 7 】

また、分岐配線 1 5 A, 1 5 B に接続されていない他の外部接続端子 2 に乗ったサージノイズが廻り込んだりして、入力素子 1 2 A, 1 2 B の電源ライン 8 A, 9 A, 9 A, 9 B の電圧が急変し、そのトランジスタ 1 2 A P, 1 2 A N, 1 2 B P, 1 2 B N のソース・ゲート間の電位差が拡がり始めたような場合にも、その周囲の第 3 保護回路 2 3 ~ 2 6, 3 3 ~ 3 6 によって、少なくともそこ及びその近傍については迅速に、電位差が分散・緩和される。そして、電位差のピークが抑制されることとなる。

こうして、何れの外部接続端子 2 から入ったサージノイズに対しても、内部回路が静電破壊から確実に保護されるのである。

【 0 0 2 8 】

【発明の効果】

以上の説明から明らかなように、請求項 1 の半導体集積回路装置にあっては、分岐配線の到達先の内部回路をそこで保護するとともに途中の入出力回路でも保護するようにしたことにより、別電源系の入出力回路での副次的な保護に加えて、明示的・直接的な保護も多段になされるので、静電破壊からの内部回路保護を強化することができた。

【 0 0 2 9 】

また、請求項 2 のものにあっては、信号配線や分岐配線に直接接続しなくても保護し得るようにしたことにより、信号配線や分岐配線を介して別電源系の回路に繋がれた内部回路に関しても確実に保護回路を付設することができるようになった。

【 0 0 3 0 】

さらに、請求項 3 の半導体集積回路装置にあっては、対象素子を周りから保護するようにしたことにより、対象素子のところに局所的な電位差変動が生じても

これがその周りへ分散されて電位差のピークが速やかに緩和されるので、静電破壊からの内部回路保護を更に強化することができた。

【図面の簡単な説明】

【図 1】 本発明の半導体集積回路装置の主表面全体の概要配置図である。

【図 2】 (a) は、内部回路における保護回路等のレイアウト図、(b) は、その基本単位となる半導体領域およびゲートの縦断面斜視図である。

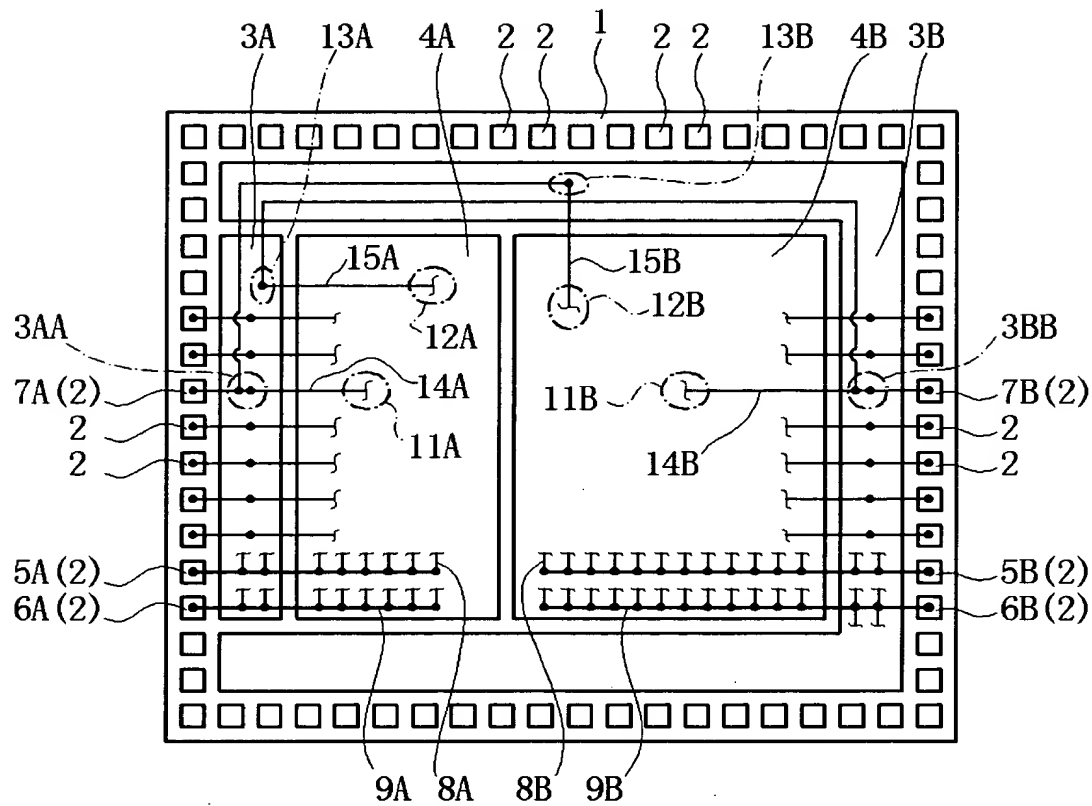
【図 3】 保護回路および直接関連する部分の回路図である。

【符号の説明】

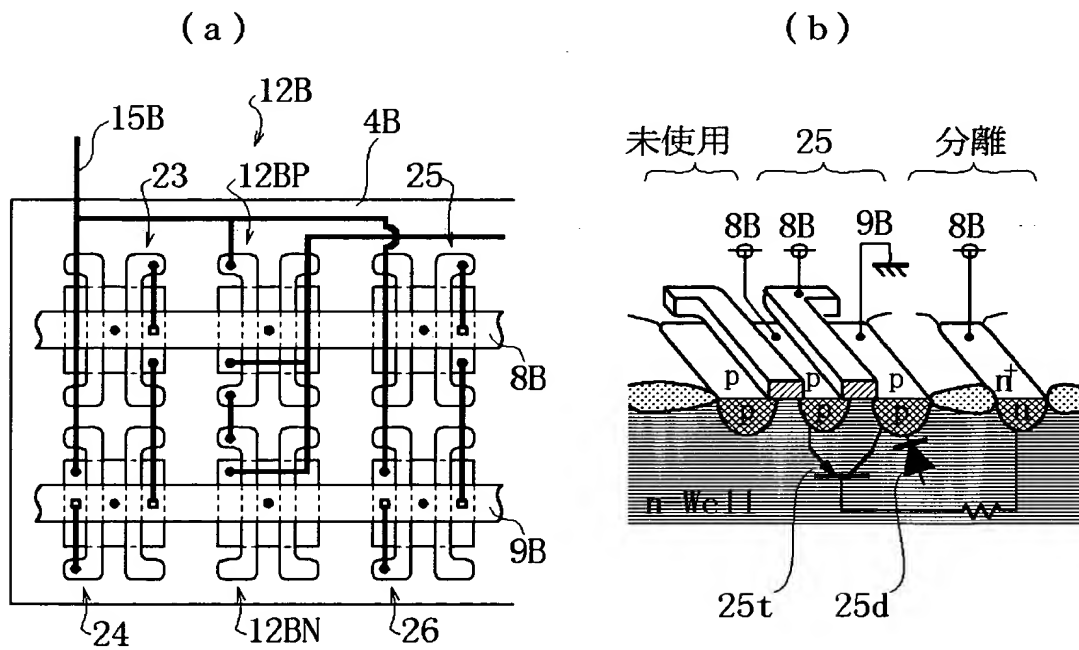
1 …半導体集積回路装置、 2 …外部接続端子、 3 A …入出力回路、
3 A A …第 1 保護回路、 3 B …入出力回路、 3 B B …第 1 保護回路、
4 A …内部回路、 4 B …内部回路、 、 5 A …高電源用端子、
5 B …低電源用端子、 6 A …接地用端子、 6 B …接地用端子、
7 A …入出力用端子、 7 B …入出力用端子、 8 A …電源ライン、
8 B …電源ライン、 9 A …電源ライン、 9 B …電源ライン、 1 1 A …内部素子、
1 1 B …内部素子、 1 2 A …入力素子、 1 2 B …入力素子、
1 3 A …第 2 保護回路、 1 3 B …第 2 保護回路、 1 4 A …信号配線、
1 4 B …信号配線、 1 5 A …分岐配線、 1 5 B …分岐配線、
2 1 …第 1 能動素子、 2 2 …第 2 能動素子、
2 3 ～ 2 6 …第 3 能動素子（第 3 保護回路）、 3 1 …第 1 能動素子、
3 2 …第 2 能動素子、 3 3 ～ 3 6 …第 3 能動素子（第 3 保護回路）

【書類名】 図面

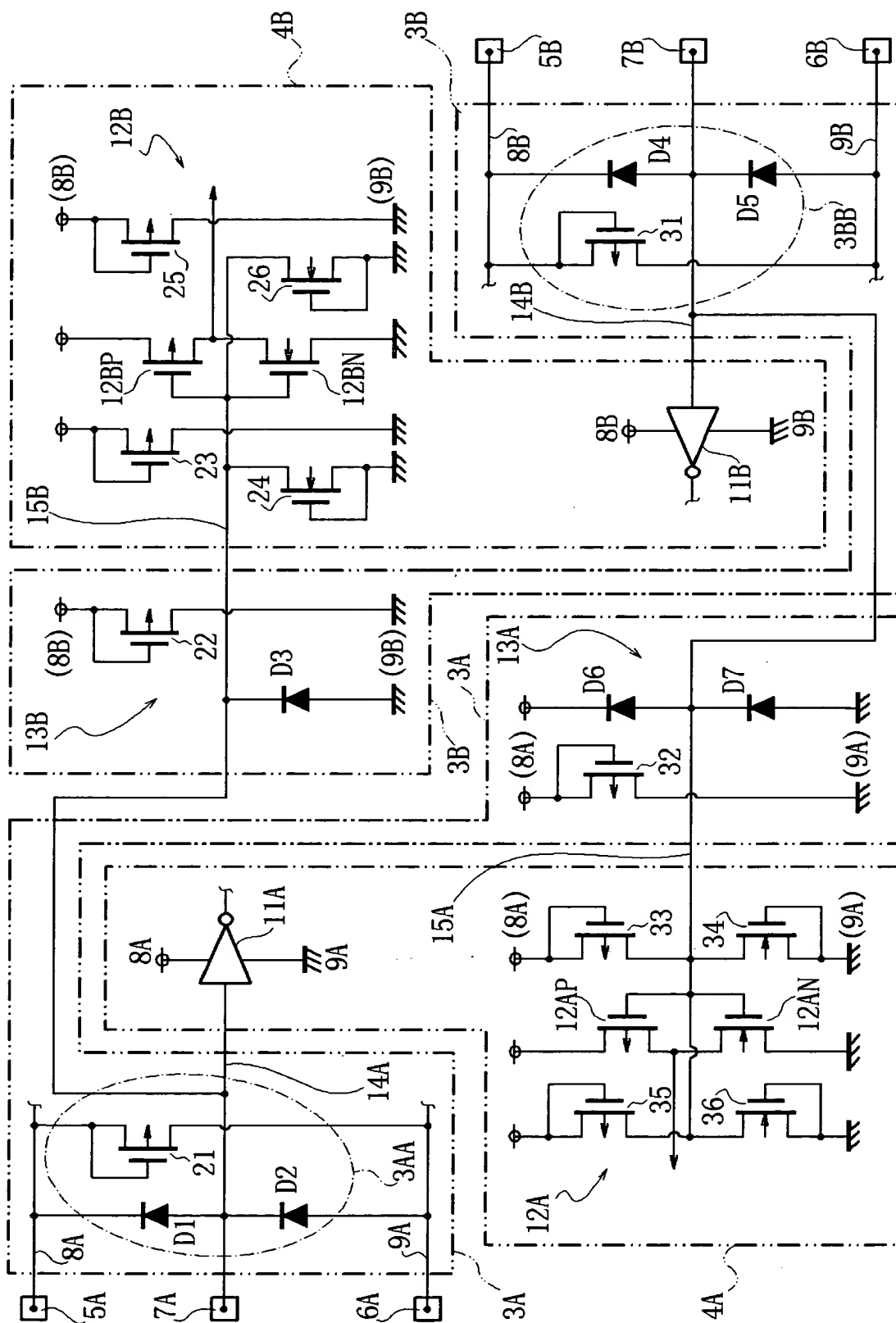
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 静電破壊からの内部回路保護を強化する。

【解決手段】 外部接続端子 7 A から入出力回路 3 A を経てこれと電源ライン 8 A, 9 A の同じ内部回路 4 A に至る信号配線 1 4 A に対しては入出力回路 3 A 入出力回路において第 1 保護回路 3 A A を設けて内部素子 1 1 A を静電破壊から保護することに加えて、分岐配線 1 5 B には、電源ライン 8 B, 9 B の異なる内部回路 4 B に至る前にそれと同じ組の入出力回路 3 B を経るようにしたうえでそこに第 2 保護回路 1 3 B を設けるとともに、内部回路 4 B にも第 3 保護回路 2 3 ~ 2 6 を設けて、内部回路 4 B が静電破壊から多段に保護されるようにする。また、何れの信号配線からも切り離された能動素子を保護素子として導入する。さらに、複数個の保護素子で保護対象の素子を周りから保護する。

【選択図】 図 1



特平 11-213123

認定・付加情報

特許出願の番号	平成11年 特許願 第213123号
受付番号	59900722039
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 7月30日

<認定情報・付加情報>

【提出日】 平成11年 7月28日

次頁無

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社